

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-112018

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.⁶

H 01 L 31/10
27/146
H 04 N 1/028
5/335

識別記号

F I

H 01 L 31/10
H 04 N 1/028
5/335
H 01 L 27/14

G
Z
E
A

審査請求 未請求 請求項の数11 O L (全 17 頁)

(21)出願番号 特願平9-272578

(22)出願日 平成9年(1997)10月6日

(71)出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者 小泉徹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 光地哲伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

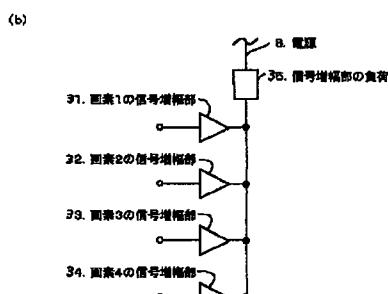
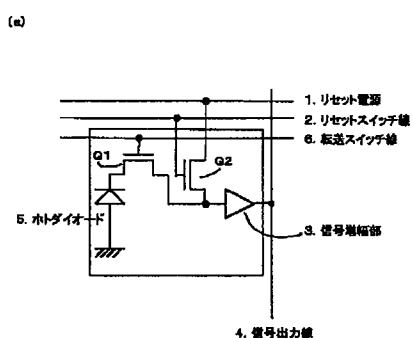
(74)代理人 弁理士 山下義平

(54)【発明の名称】 固体撮像装置と信号検出装置と信号蓄積装置

(57)【要約】

【課題】 固体撮像装置の光電荷の選択スイッチがなく
ても、高いS/N比を有し、かつ画素サイズの縮小化を
可能とすることを課題とする。

【解決手段】 同一半導体基板上に2次元に配列された
複数の受光素子と該受光素子から信号を順次選択して外部
に出力する手段を具備した固体撮像装置において、画
素内に少なくともホトダイオードと、ホトダイオードか
らの光電荷を信号増幅する信号増幅部と、該信号増幅部
に光電荷を転送する電荷転送部と、信号増幅部の入力端
子に任意の電圧を入力する機構を有し、該信号増幅部の
入力端子の動作点を変えることにより信号の読み出し形
態を制御することを特徴とする。また、信号増幅部の入
力端子の動作点をかえることにより信号の読み出し形態
を制御することを特徴とする。



【特許請求の範囲】

【請求項1】 同一半導体基板上に2次元に配列された複数の受光素子と該受光素子から信号を順次選択して外部に出力する手段を具備した固体撮像装置において、画素内に少なくともホトダイオードと、ホトダイオードからの光電荷を信号増幅する信号増幅部と、前記ホトダイオードから前記信号増幅部に光電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記信号増幅部がMOSトランジスタからなり、前記入力端子は前記MOSトランジスタのゲートであることを特徴とする固体撮像装置。

【請求項3】 請求項1に記載の固体撮像装置において、前記信号増幅部が接合型トランジスタからなることを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置において、前記信号増幅部がフォロワ形式であることを特徴とする固体撮像装置。

【請求項5】 請求項1に記載の固体撮像装置において、前記信号増幅部が加算形式であることを特徴とする固体撮像装置。

【請求項6】 請求項1に記載の固体撮像装置において、前記電荷転送部が前記ホトダイオードと前記信号増幅部の入力端子との間に挿入されたトランジスタからなり、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出しを制御し、非読み出し期間中は、前記トランジスタのホトダイオードと反対側の端子に電圧を印加しておくことを特徴とする固体撮像装置。

【請求項7】 請求項1に記載の固体撮像装置において、前記信号増幅部の入力端子に任意の電圧を入力する機構が前記信号増幅部の入力端子と出力端子間に設けられたスイッチ素子からなることを特徴とする固体撮像装置。

【請求項8】 請求項2に記載の固体撮像装置において、前記信号増幅部に接続されている電源線の極性を制御することにより、前記信号増幅部の動作形式を制御することを特徴とする固体撮像装置。

【請求項9】 請求項3に記載の固体撮像装置において、前記信号増幅部に接続されている電源線の極性を制御することにより、前記信号増幅部の動作形式を制御することを特徴とする固体撮像装置。

【請求項10】 同一半導体基板上に2次元に配列された複数の信号検出素子と該信号検出素子から信号を順次選択して外部に出力する手段を具備した信号検出装置において、

に信号電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする信号検出装置。

【請求項11】 同一半導体基板上に2次元に配列された複数の信号蓄積素子と該信号蓄積素子から信号を順次選択して外部に出力する手段を具備した信号蓄積装置において、

セル内に少なくとも前記信号蓄積素子と、前記信号蓄積素子からの信号電荷を信号増幅する信号増幅部と、該信号増幅部に信号電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする信号蓄積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置と信号検出装置と信号蓄積装置に関し、詳しくは画素毎に入力端子の動作点を変える信号増幅部を有する固体撮像装置と信号検出装置と信号蓄積装置に関する。

【0002】

【従来技術】図16(a)、(b)に従来の2次元固体撮像装置の画素部の等価回路図を示す。図16中、それぞれ、1は電源線、2はリセットスイッチ線、3は選択スイッチ線、4は信号出力線、5はホトダイオード、6は転送スイッチ線を示す。図16(a)は、たとえば1993年のIEDMにおいてEric R. Fossum氏によつて報告されている(技術試料1: IEDM93-583~586)固体撮像装置の回路である。また、図16(b)は、「ISSC96/Session1/Plenary Session/Paper TA1.2」で報告されている固体撮像装置の回路である。図17は、図16(b)の画素を2次元に配置して画像信号を読み出す読み出し回路を付加した例である。

【0003】このように、各画素内に信号増幅部を有した2次元固体撮像素子においては、ホトダイオード以外に複数のスイッチ素子や信号増幅部を構成する素子が必要である。図16(a)においては、1画素あたり、ホトダイオードと4個ものMOSトランジスタが必要となるため、どうしても1画素のサイズが大きくなってしまう。

【0004】図16(a)及び図17の基本的な動作を説明する。

①リセットスイッチQ2によりソースフォロワQ3の入力ノードにリセット電圧を入力するリセット動作と選択スイッチQ4による、行選択を行う。

ソースフォロワQ3の入力ノードをフローティングにし、リセットノイズおよびソースフォロワMOSQ3の

一旦保持する。

③その後、転送スイッチQ 1を開閉し、光信号により生成された蓄積電荷をソースフォロワQ 3の入力ノードに転送し、前述のノイズ成分と光信号成分の和を読み出し、信号蓄積部15に保持する。

共通信号線への転送スイッチ18, 18'を介して、共通信号線19, 19'にノイズ成分の信号とノイズ成分と光信号成分の信号をそれぞれ読み出す。共通信号線19, 19'の出力はそれぞれバッファアンプを介して出力13, 14を得ている。出力13と14はその後段で、両者の差をとることでリセットノイズおよび固定パターンノイズを除去しすることができる。なお、垂直シフトレジスタ12と水平シフトレジスタ16とで、各画素の読み出しを順次走査している。

【0005】

【発明が解決しようとする課題】一方、図16 (b) は1画素あたり、ホトダイオードと3個のMOSトランジスタが必要となるが、図16 (a) よりトランジスタが1個少なくてすみ、これに伴い転送スイッチ線も不要となる。このことは、画素サイズを小さくする上で大変重要なことである。

【0006】しかしながら、図16 (b) の画素には、転送スイッチがないため、蓄積期間中に各画素のノイズ成分を保持しておく機構がないため、ノイズ除去をすることができず、信号成分／ノイズ成分の比であるS/N比が図16 (a) の場合より劣る固体撮像装置になってしまう。

【0007】以上述べたように、従来の技術においては、高いS/N比を有し、かつ画素サイズの縮小化をするのが困難であった。

【0008】

【課題を解決するための手段】本発明は、画素内に少なくともホトダイオードと、ホトダイオードからの光電荷を信号増幅する信号増幅部と、該信号増幅部に光電荷を転送する電荷転送部と、信号増幅部の入力端子に任意の電圧を入力するリセット機構を有し、画素の選択・非選択が信号増幅部の入力端子の動作点をかえることによって行われることにより上記問題点を解決する。

【0009】本発明によれば、読み出し画素の選択・非選択は前記信号増幅部の入力端子の動作点をかえることによっておこない、この結果、以下のような効果を得ることができる。

【0010】従来必要であった、選択スイッチおよび選択スイッチ線を設ける必要が無くなり画素サイズを縮小することが可能となる。

【0011】選択スイッチを不要とすることで、従来選択スイッチの電圧降下により生じていた、非線型性やダイナミックレンジの低下の特性劣化をなくすことができ

元に配列された複数の受光素子と該受光素子から信号を順次選択して外部に出力する手段を具備した固体撮像装置において、画素内に少なくともホトダイオードと、ホトダイオードからの光電荷を信号増幅する信号増幅部と、前記ホトダイオードから前記信号増幅部に光電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする。

【0013】また、上記固体撮像装置において、前記電荷転送部が前記ホトダイオードと前記信号増幅部の入力端子との間に挿入されたトランジスタからなり、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出しを制御し、非読み出し期間中は、前記トランジスタのホトダイオードと反対側の端子に電圧を印加しておくことを特徴とする。

【0014】また、本発明は、同一半導体基板上に2次元に配列された複数の信号検出素子と該信号検出素子から信号を順次選択して外部に出力する手段を具備した信号検出装置において、セル内に少なくとも前記検出素子と、前記検出素子からの信号電荷を信号増幅する信号増幅部と、該信号増幅部に信号電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする。

【0015】更に、本発明は、同一半導体基板上に2次元に配列された複数の信号蓄積素子と該信号蓄積素子から信号を順次選択して外部に出力する手段を具備した信号蓄積装置において、セル内に少なくとも前記信号蓄積素子と、前記信号蓄積素子からの信号電荷を信号増幅する信号増幅部と、該信号増幅部に信号電荷を転送する電荷転送部と、前記信号増幅部の入力端子に任意の電圧を入力する機構を有し、前記信号増幅部の入力端子の動作点をかえることにより信号の読み出し形態を制御することを特徴とする。

【0016】

【発明の実施の形態】図1 (a) は、本発明の特徴を最も良く表した1画素の等価回路を示す。また、図1 (b) は、本発明の読み出し例を説明するための模式図を示す。これらの図を用いて、本発明の原理について説明する。

【0017】図1 (a) において、ホトダイオード5に、光により生成した電荷が蓄積される。信号増幅部3の入力端子をトランジスタQ 2により所定の電圧を入力する。以降、この動作をリセット動作と称する。その後、転送スイッチQ 1を開閉し、信号電荷を信号増幅部3の入力端子に信号を転送する。ここで、信号電荷を転

続してもよい。また、接続トランジスタが1つだけではなく、複数のトランジスタで接続されていてもよい。更に、電荷結合型のシフトレジスタ1段以上から構成されていてもよい。即ち、本発明は電荷転送手段に限定されるものではなく、信号情報を何らかの方法で信号増幅部3の入力端子に伝達できればよい。

【0018】この時、リセット動作直後の信号増幅部3の出力信号を保持しておき、信号電荷を転送した後の信号増幅部3の出力から、差し引くことにより、ノイズ成分を除去することができる。特にホトダイオード5を埋め込み型のホトダイオードにし、信号電荷を転送した後に、ホトダイオード5の蓄積領域を十分に空乏化させることで、残留電荷数を例えば電子1～10個程度になる様な設計を行うことで、リセット動作により生じるさまざまなランダムノイズも除去することができる。

【0019】図1 (b) は、2次元状に配置した各画素の内、ある列において、各画素毎の信号増幅部3 1～3 4が共通の信号出力線7に接続されている図である。基本的に、信号増幅部3は、多入力の信号増幅装置の入力を含む部分であり、その負荷は電源8との間に接続した信号増幅部の負荷3 6で示している。この負荷には、信号増幅部3 1～3 4をソースフォロワ方式で動作させるために基準電位点のグランド間に定電流源を用いてよい。ただ、その目的によっては、1素子で形成される場合もあり、2素子以上で形成される場合もある。本発明においては、信号増幅部3が構成する信号増幅装置が比較回路や加算回路に代表されるような多入力可能な信号増幅回路3であることが重要である。図中の信号増幅部3の負荷3 6は、信号増幅部3が構成する信号増幅装置の動作形式による。例えば、信号増幅装置が後述の実施例1に代表されるようなフォロワ形式であれば、定電流源となり、電源8はグランドとなる。また、信号増幅装置が後述の実施例2に代表されるような抵抗負荷による反転アンプ形式であれば、信号増幅部3 1～3 4の負荷3 6は、抵抗であり、電源8は、電源電圧VDDとなる。

【0020】動作原理を以下に説明する。例えば、信号増幅装置が実施例1に代表されるようなフォロワ形式においては、行選択用のスイッチが無ければ、信号増幅装置の出力は、もっとも電圧の高い出力を示す行の出力となる。故に、光信号が大きくなるに従って、出力が低くなる画素構成においては、光信号を読み出す場合、目的とする行の読み出しができず、いずれかの行のダークレベルが出力されてしまう。従来の技術では、このことを避ける手段として選択スイッチを設けていた。これに対し、本発明において、読み出す場合は、読み出しを行わない行の信号増幅部の入力端子には、ソースフォロワのトランジスタがOFFする電圧を入力し、読み出しを行

力端子7には、ON電圧を入力した行の出力が現れる。以下の方法により、ランダムノイズまで除去可能な信号読み出しが可能となる。

【0021】前述で「OFFする電圧」と表現したが、読み出し行の選択だけを目的にするならば、完全にOFFする必要はない。例えば、電源電圧が5.0voltであり、読み出し選択する際のON電圧として5.0voltを入力する場合、非選択行に2voltを入力すれば、入力トランジスタは完全にOFFはしないが、選択行の入力電圧が2volt以上であれば、選択行の信号が信号増幅の出力端子7に出力され、選択行の入力電圧が2volt以下であれば、入力電圧が2volt相当の信号が信号増幅の出力端子7に出力される。この方法で、飽和出力電圧に制限をかけることもできる。

【0022】以下に読み出し方法の例をあげる。以下の例では、リセット動作に伴い生じるランダムノイズまでも除去することが可能となる。

①信号読み出し後に、トランジスタQ2を介しOFF電圧を入力しておく。

選択行の読み出しを行うため、今までOFF電圧であった入力端子に、トランジスタQ2を介し、ON電圧を入力する。

【0023】この結果、選択行の信号増幅部3が活性となる。

トランジスタQ2をOFFし、固定パターンノイズと入力端子のランダムノイズからなる信号増幅装置の出力を図17の信号蓄積部15に相当する部分に保持する。

転送スイッチQ1を開閉し、ホトダイオード5に蓄積された信号電荷を信号増幅部3の入力端子に転送する。

のノイズ信号に信号電荷が加算された信号増幅装置の出力を図17の信号蓄積部15に相当する部分に保持する。

信号を読み出した後、トランジスタQ2を介し信号増幅部3の入力端子にOFF電圧を入力し、その行の信号増幅部3を不活性とする。

信号蓄積部15に保持されている のノイズ信号+信号電荷からなる出力信号から、 のノイズ信号からなる出力信号を減算する。

【0024】減算方法は、オペアンプによる差分回路や容量クランプ回路を用いること実行できる。

【0025】上記の～の工程により、ノイズ信号分を除去することができ、S/N比の高い固体撮像装置を実現できる。

【0026】本発明は上記読み出し方法に限定されるものではなく、例えばノイズ信号の読み出す順番を、ノイズ信号+信号電荷からなる出力信号を読み出した後、リセット動作を行い、ノイズ信号からなる出力信号を読み出し、ノイズ信号+信号電荷からなる出力信号から差し

ノイズの除去は可能となる。

【0027】本発明により、従来必要であった信号出力線に画素信号を出力するための選択スイッチを省くことができ、この結果、素子数を減らすことができ、画素サイズを縮小するためには、大きな効果がある。

【0028】次に本発明の別の効果について説明する。固体撮像装置においては、信号増幅装置の線形性とそのダイナミックレンジが要求されるが、選択スイッチが存在すると動作範囲によっては、選択スイッチの抵抗成分により線形性が損なわれるという問題点もある。例えば、図16に示す様に、MOSトランジスタによる選択スイッチQ4が挿入されている場合、MOSソースフォロワQ3のゲート電圧が低い領域では、選択スイッチQ4には十分なゲート・ソース間電圧VGSが印加されているため、低いドレイン・ソース間電圧VDSで定電流源の電流を流すことができ、選択スイッチQ4での電圧降下を無視できる。これに対しMOSソースフォロワQ3のゲート電圧が高い領域では選択スイッチQ4のVGSが小さくなるため、その分大きなVDSが必要となり、選択スイッチQ4での2次関数的に電圧降下が増加するため、線形性が著しく損なわれる。それと同時に、出力電圧も小さくなり、ダイナミックレンジ劣化の大きな要因となる。

【0029】この様な非線性を回避するため、選択スイッチQ4をMOSソースフォロワQ3のVDD側に設ける方法もあるが、そもそも選択スイッチQ4のVGSがとれないので、選択スイッチQ4での電圧降下が大きくなり、ダイナミックレンジが劣化してしまう。

【0030】その電圧降下Vは、定性的には、以下の式で示される。

【0031】 $V = \sqrt{(I_{const} / \beta)} + V_{th}$
I_{const}は、ソースフォロワQ3の負荷となる定電流源の電流値

V_{th}は、基板バイアス効果も含んだ選択スイッチMOS Q4の閾値電圧

βは、選択スイッチQ4の駆動力を表す構造パラメータである。またこの場合、信号出力線4にQ3のMOSの酸化膜容量が全行分付加されるため、負荷容量が大きくなり、高速動作が困難になってしまう。

【0032】高速動作を行うためには、I_{const}を大きくする必要があるが、前述の式の通り、I_{const}を大きくすると選択スイッチQ4での電圧降下は、大きくなってしまう。

【0033】本発明では、非選択行のMOSソースフォロワQ3に当たるMOSトランジスタにOFF電圧を入力することで、酸化膜容量は負荷されない。そして、選択スイッチQ3がないため、広いダイナミックレンジの固体撮像装置を提供することができる。

ンサを用い、2次元の磁気検出装置を提供することができる。

【0035】また、図1(a)のホトダイオード5の代わりに保持容量を用い、アナログメモリを提供することもできる。例えば、リセット電源線にアナログデータを印加し、Q2, Q1を介し前述の保持容量にアナログデータを書き込み、前述の光信号を読み出すのと同じ手順で保持容量に書き込まれたアナログデータを読み出すことにより、アナログメモリを提供することができる。1画素に256階調、即ち8Bitデジタルデータを1つのアナログデータとして書き込む様に設計し、100万画素に配列する。その結果、8MBitのアナログメモリを提供することもできる。

【0036】なお、上記実施形態では、信号増幅部には、ソースフォロワ動作をするMOSトランジスタと、抵抗負荷の反転増幅動作をするMOSトランジスタとで構成され、半導体プロセス制御により小面積と簡単な構成とで成り立っている。

【0037】

【実施例】以下、上記実施形態に基づいて、本発明の実施例について説明する。

【0038】【実施例1】図2は本実施例の画素部の等価回路図である。図3は、読み出し系も含めた、本実施例を説明するための回路図である。本実施例のホトダイオードは、図4に示すような埋め込み型のホトダイオードを用いた。受光部である埋め込みホトダイオードはN型シリコン基板601上のP型のWELL領域602に形成されたN型層603からなる。N型層603上に形成したP型表面層604は、表面の暗電流防止層である。またP型のWELL領域602とゲート電極606の間には絶縁層607を形成している。図中のゲート電極606は、図2の転送スイッチQ1のゲート電極であり、N+領域605は、図2のソースフォロワQ3のゲート電極に結線されている。図2のソースフォロワQ3の一端は、図3の信号出力線503に接続されており、ソースフォロワQ3は、信号出力線503を介し、定電流源513に接続されることにより、ソースフォロワを形成し、信号増幅を行っている。図2中、転送スイッチQ1は、ホトダイオード405に蓄積された電荷を信号増幅部の入力端子に当たるソースフォロワQ3のゲートに転送するスイッチである。図2中、リセットスイッチQ2は、入力端子にリセット電源402で設定された電圧を入力するためのスイッチである。図3において、信号の読み出しは、各行毎に行つた。上述の実施態様に示すように、ノイズ信号を最初に読み出し、各素子毎に且つ各ノイズ用と各光信号用に備えたキャパシタ容量で構成する信号蓄積部506に保持する。次に、光信号を読み出し、信号蓄積部506に保持する。ノイズ信号と光

トレジスタによりスイッチ Q_{Hnk} と Q_{Hsk} を順次開閉し、それぞれ共通信号線1(509)と共に信号線2(510)にノイズ信号と光信号を順次時系列的に読み出し、出力アンプ513を介し、外部にノイズ信号511と光信号512を出力した。この後、クランプ回路および差動回路の2種類の回路を用いて、光信号=【光成分+ノイズ成分】からノイズ信号=ノイズ成分の減算処理を行った。この結果、画素に行選択用の画素スイッチを配置せずに、信号を読み出すことができ、選択用スイッチ分の開口部を削ることなく画素サイズを縮小することができた。また、S/N比については、従来技術と同等のS/N比を得ることができた。

【0039】本実施例に用いた、画素の各トランジスタへのパルスタイミングを図6に示す。即ち、ノイズ信号および光信号を画素から信号蓄積部506に読み出すまでの期間である。

【0040】図6中の Q_n 、 Q_s は信号蓄積部506への書き込みスイッチタイミングである。

【0041】また、図5は、信号増幅部として用いている、ソースフォロワの入出力特性であり、曲線aが本実施例の入出力特性であり、入力電圧Aが最大入力電圧である。ソースフォロワの入力電圧Cが線形領域が確保されている最低入力電圧であり、最大信号電荷を読み出した際の電圧に成るように、設計した。曲線bは入力電圧Bから飽和してダイナミックレンジの狭い特性であり、曲線cはソースフォロワ回路のロスが大きく絶対値的にゲインが小さい特性である。

【0042】図6中の期間Dが画素の選択期間であり、選択行には、リセット動作により、ソースフォロワ Q_3 の入力端子に入力電圧C以上の電圧を入力し、非選択行には、入力電圧C以下の電圧を入力することで、行の選択および非選択ができる事を確認した。

【0043】図6を参照しつつ順次動作を説明する。リセット電源をハイレベルにした後に、選択したい行のリセットスイッチ Q_2 をONする。この結果、ソースフォロワ Q_3 のゲートの電圧は、ハイレベルになる。このゲート電圧は、リセットスイッチ Q_2 のゲート電圧がリセット電源の電圧に比べ十分高い電圧であれば、リセット電源と等しくなり、ソースフォロワ Q_3 のゲート電圧は、リセットスイッチ Q_2 のゲート電圧がリセット電源と同程度もしくは、それ以下であれば、リセットスイッチ Q_2 のゲート電圧より、閾値電圧分低い電圧になる。

【0044】リセットスイッチ Q_2 をOFFし、ソースフォロワ Q_3 のゲートをフローティング状態にした後に、共通信号線509への転送スイッチ Q_{Hn} の Q_n をONし、リセット直後のノイズ成分を信号蓄積部506に保持する(図6中の区間A)。

【0045】選択行のソースフォロワ Q_3 のゲートの電

配置した定電流源による電流は、選択行のソースフォロワ Q_3 にのみ流れ、選択行のソースフォロワ Q_3 ゲートの電位に相当した電圧がソースフォロワから出力される。

【0046】次に、 Q_n をOFFした後、転送スイッチ Q_1 をONし、光信号成分をホトダイオード405からソースフォロワ Q_3 のゲートに転送する(図6中の区間B)。転送された電荷 Q_{sig} とソースフォロワ Q_3 のゲート端子の容量 C_{Q3} に見合った電圧降下 Q_{sig}/C_{Q3} が生じる。転送スイッチ Q_2 をOFFすると、ソースフォロワ Q_3 のゲートには、ノイズ成分に光信号成分が重畠された電位を保持する。このソースフォロワ Q_3 のゲートの電圧に相当した電圧が、ソースフォロワから出力される。

【0047】ソースフォロワ Q_3 のゲートにおいて、飽和電荷を読み出した時が、最も低い電圧であるが、この電圧が、他の非選択行のソースフォロワ Q_3 のゲートの電圧と比べ十分高いことが、本発明であるソースフォロワ Q_3 のゲートの動作点による、選択読み出し法において重要なことである。

【0048】つぎに、共通信号線510への転送スイッチ Q_{Hs} の Q_s をON・OFFし、ノイズ成分上に光信号成分を読み出した信号を信号蓄積部506に保持する(図6中の区間C)。

【0049】次に、リセット電源の電位をローレベルにした後、リセットスイッチ Q_2 をON・OFFさせ、ソースフォロワ Q_3 のゲートの電位を下げ、非選択状態とする。

【0050】次にダイナミックレンジについて、図5を用いて説明する。本発明の有意性を確認するため、従来技術を用いた選択スイッチ Q_4 による行選択を行った場合の結果も、併記する。曲線a、b、cはそれぞれ、本発明による画素、選択スイッチ Q_4 が入力MOSトランジスタ Q_3 の電源との間に挿入されている場合の画素、従来技術の図16(a)に示す画素での特性曲線である。本実施例においては、ソースフォロワの入力電圧が高い方がダーク側であり、入力端子のリセット電圧はリセットスイッチ Q_2 による電源側である。光電荷が増えるに従って、ソースフォロワの入力電圧は低下する。一般的に線型特性が重視されるのがダーク側であるため、入力電圧が高い領域で線型性を確保する必要がある。本発明の画素では、図5中のAの電圧まで、線型性が確保できたのに対し、従来技術の画素では、図5中のBの電圧までしか確保できなかった。このことから、本発明の画素のダイナミックレンジが広いことが確認された。特に電源電圧が低い領域では、この効果がより顕著に現れ、動作できる最低の電源電圧は、従来技術の図16(a)に示す画素と比較して約1volt低い電圧まで

価回路図である。図8は、読み出し系も含めた本実施例を説明するための回路図である。本実施例のホトダイオード905は、第1実施例と同様、埋め込み型のホトダイオードを用いた。

【0052】信号増幅部がMOSトランジスタQ3と負荷抵抗1014からなる反転アンプで構成し、読み出し手順や画素の各トランジスタへのパルスタイミングは第1実施例と同様である。

【0053】即ち、非選択行のMOSトランジスタQ3のゲート端子にMOSトランジスタQ3の閾値電圧以下の電圧を入力することで、MOSトランジスタQ3をOFFし、選択行のMOSトランジスタQ3のゲート端子をハイレベルに一旦リセットし、光信号をMOSトランジスタQ3のゲート端子に読み出すことで、選択行のMOSトランジスタQ3のゲート端子の電圧に見合った電流を負荷抵抗1014に流し、選択的に光信号を読み出した。光信号及びノイズ信号の読み出しのタイミングは第1実施例と同様であり、リセットスイッチQ2から印加されるリセット電源電圧は、ダイナミックレンジを広く取るために第1実施例と同様の電圧が供給される。

【0054】信号増幅部が反転アンプであることから、信号増幅部でのゲインを回路的に設計することができ、第1実施例でのソースフォロワアンプに対し、S/N比の高いセンサを提供することができた。

【0055】【実施例3】図7における、信号増幅部を構成するトランジスタQ3にpチャネル接合型電界効果トランジスタを用い、負荷用の負荷抵抗とから、反転アンプで構成した光センサを作製した。

【0056】接合型電界効果トランジスタQ3は、そのゲート電極が、不純物拡散領域から形成されることから、転送スイッチQ1のソース・ドレイン領域である拡散領域をそのままゲート電極として配置した。この結果、第1および第2の実施例では、転送スイッチQ1のソース・ドレイン領域である拡散領域と接合型電界効果トランジスタQ3の多結晶シリコンからなるゲート電極を結線するための領域、即ち、拡散領域とアルミからなる金属配線を接続するコンタクト部、多結晶シリコンと金属配線を接続するコンタクト部、前述の金属配線同士を結線する配線部が不要になったため、画素サイズを縮小することができた。

【0057】本実施例では、pチャネル接合型電界効果トランジスタQ3を用いたことから、非選択行には、OFF電圧であるハイレベルを入力し、選択行に対しては、ON電圧である約(1/2)*VDDに一旦リセットした後に、光信号を接合型電界効果トランジスタQ3の制御電極に転送した。光信号を制御電極に転送した結果、制御電極の電圧は下がる。この制御電極の電圧を下げると共に、電源電圧をも下げることができるので、ダ

【0058】【実施例4】図9に本実施例の等価回路図を示す。本実施例は実施例2において、信号増幅部の抵抗負荷1014をMOSトランジスタ1114に置き換えたものである。

【0059】実施例2においては、信号増幅部の入力電圧をVin、信号出力線1003に出力される出力電圧をVoutとすれば、

$$Vout = R * A * (Vin - B)^2$$

Rは抵抗負荷1014の抵抗値、A, BはMOSトランジスタQ3固有のパラメータである。

【0060】これに対し、本実施例においては、信号増幅部の入力電圧をVin、信号出力線1103に出力される出力電圧をVoutとすれば、

$$Vout = A * (Vin - B)$$

A, BはMOSトランジスタQ3および負荷MOS1114固有のパラメータである。

【0061】上述のように、出力電圧Voutを入力電圧Vinの1次関数として表すことができ、A > 1にすることができた。この場合、信号増幅部のソースフォロワQ3の線形領域を広くすることが可能である。

【0062】【実施例5】図10に本実施例の読み出し回路を示す。信号出力線1206には、前述の実施例同様、複数の画素のMOSトランジスタQ3のソース端子が接続されている。読み出し手順および画素の各トランジスタへのパルスタイミングは第1実施例と同様である。

【0063】動作原理はVA端子1207に一定の電圧VAを印加すると、バイポーラトランジスタのエミッタ電圧、即ち、信号出力線1206の電圧は、該バイポーラトランジスタのベース・エミッタ間電圧をVBEとすると、[VA - VBE]に固定される。

【0064】MOSトランジスタQ3のゲート端子にリセット電圧Vresが入力された場合、MOSトランジスタQ3に流れる電流I1は、

$$I1 = \{ (Vres - Vth) - (VA - VBE) \} / r1$$

の電流I1を流す。

【0065】抵抗r2には、

$$I2 = (VA - VBE) / r2$$

の電流I2が流れることから、電源とバイポーラトランジスタ間に接続した抵抗r3には、[I2 - I1]である電流I3は、

$$[(VA - VBE) / r2] - \{ (Vres - Vth) - (VA - VBE) \} / r1$$

が流れ、端子VBの電圧VB1208は、

$$VDD - [(VA - VBE) * r3 / r2] - \{ (Vres - Vth) - (VA - VBE) \} * r3 / r1$$

と与えられる。光信号をMOSトランジスタQ3のゲー

0 8 の電圧 V_B は、

$$V_{DD} - [[(V_A - V_{BE}) * r_3 / r_2] - [\{ (V_{res} - \Delta V - V_{th}) - (V_A - V_{BE}) \} * r_3 / r_1]]$$

リセット直後の端子 V_{B1208} の電圧 V_B と、光信号をMOSトランジスタQ3のゲート端子に転送した後の端子 V_{B1208} の電圧 V_B の差をとることにより、光信号成分である、 $\Delta V * r_3 / r_1$ を得ることができた。

【0066】また更に、本実施例においては、複数行に對し、同時に図6に示すパルスを印加し、複数行を同時に選択状態にした。その結果、前述のような減算処理をおこなうことで、端子 V_B に画素信号の加算結果を得ることができた。実施例3、4においても加算結果を得ることは可能であるが、線形加算を得ることができない。具体的には、同列の同色2行の加算結果を端子 V_B に出力させた。従来技術のように選択スイッチがある場合は、非線型なスイッチ抵抗があるため、精度のある加算は困難であったが、本発明では、選択スイッチを必要としないため、簡単かつ正確な加算ができるようになった。

【0067】【実施例6】実施例1の回路形式において、画素の各トランジスタへのパルスタイミングを図11に示す通りに印加した。本実施例においては、非選択期間中は、リセットスイッチをON状態とし、リセットスイッチQ2を介しリセット電源の電圧を印加し続けた。また、転送スイッチQ1はハイレベルとローレベルの間の電圧に設定した。この結果、Q1トランジスタのゲート電圧によりオーバーフローレベルが決定される横形オーバーフロードレイン機能を付加し、隣接画素へのクロストークを軽減させた。オーバフローレベルは、Q1トランジスタの閾値電圧によるため、Q1トランジスタの閾値電圧によっては、Q1トランジスタのゲート電圧が0 voltにおいても横形オーバーフロードレインとして機能させることも可能である。

【0068】転送スイッチQ1を横形オーバーフロードレインとして機能させることは、一般的には、この時のドレイン側の電圧は、ハイレベルの電圧もしくは、その近傍に設定されており、この場合、図16に示されるごとく選択スイッチQ4が必須となる。本発明者らは、鋭意検討の結果、ホトダイオード側がソース、MOSトランジスタQ3のゲート端子がドレインとしたQ1トランジスタが5極管動作となるバイアス条件を満たせば、横形オーバーフロードレインとして機能することを見出した。従来よりもQ1のゲート電圧を下げ、本実施例においては、リセット電源のローレベルを1.5 voltに設定した。さらに、このローレベルの電圧により、飽和電圧の制限をかけた。本実施例に示す画素の各トランジ

【0069】【実施例7】本実施例の各画素の回路形式を図12に示す。図13は画素の各トランジスタ、その他の主要トランジスタへのパルスタイミングおよび信号出力線1406の出力電圧を示した図である。また、本実施例による読み出し回路は図3に示す信号蓄積部506や水平シフトレジスタ507等と同様である。では実施例1や実施例6と比較し、リセット電源線を削除し、リセット電圧は出力信号線1406を通して印加した。即ち、出力信号線1406が実施例1、6の出力信号線とリセット電源線の役割をQ4トランジスタのON・OFFにより、時分割的に行つた。

【0070】実施例1と同様に、画素からの信号は、一旦、信号蓄積部506に保持し、水平シフトレジスタ507によりスイッチQHnとQHsを順次開閉し、それぞれ共通信号線1(509)と共通信号線2(510)に信号を順次読み出し、出力アンプ513を介し、外部にノイズ信号511と光信号512を出力した。この外部への読み出し期間を水平走査期間と称するが、この水平走査期間中は、信号出力線1406を実施例6と同様に、リセットスイッチQ6をON状態とし、リセットスイッチQ6とQ4トランジスタを介しリセット電源1402の電圧を印加し続けた。また、転送スイッチQ1はハイレベルとローレベルの間の電圧に設定した。この結果、Q1トランジスタのゲート電圧によりオーバーフローレベルが決定される横形オーバーフロードレイン機能を付加し、隣接画素へのクロストークを軽減させた。

【0071】実施例6と比較すると、非選択行の画素においては、選択行の画素からの信号を信号蓄積部506に転送する期間毎に、転送スイッチQ1をOFFし、オーバーフロードレインは機能を止める。本実施例の駆動方法をNTSC方式レートで画像情報を読み出した。即ち、水平ブランкиング期間約10 μsecに、選択行の画素からの信号を信号蓄積部506に転送し、水平走査期間約50 μsecに信号蓄積部506の情報を外部に読み出した。従って、オーバーフロードレインの機能を止める期間は、全体の約17%の期間であり、その大部分は、オーバーフロードレインとして機能し、十分な効果を得られることを確認した。

【0072】図13によれば、スイッチQHnとQHsの対のスイッチQnとQsと、選択行のリセット電源と、リセット電源の直後にリセット線からのリセットSWをハイ・ローとして導通・非導通とするリセットスイッチQ2と、ノイズ信号を読み出し後光信号読み出し前にホトダイオードの電荷をMOSトランジスタQ3のゲート入力端子に転送する転送スイッチQ1と、転送スイッチQ1のオン後から光信号に対応した電荷による電圧変化を示すMOSトランジスタQ3のゲート入力電圧と、リセット電源を供給するリセットスイッチQ4と、

ッチQ4バーと、さらに信号出力線1406の信号出力電圧を示す信号出力線について、タイミング的に示している。

【0073】[実施例8] 図14に本実施例の画素部の等価回路図を示す。実施例7の画素構成に対し、別途横形オーバーフロードレイン用のMOSトランジスタQ5を設けた。オーバーフローレベルは、MOSトランジスタQ5のゲート電圧により決定した場合と、MOSトランジスタQ5のゲート電圧=MOSトランジスタQ5のドレイン電圧=VDDと成るように閾値電圧を調整した場合について実施した。実施例7とほぼ同等のクロストーク耐性が確認でき、実施例7が有効な手段であることも確認した。本実施例においては、MOSトランジスタQ5による横形オーバーフロードレインであるが、縦形のオーバーフロードレインを設けてもよい。

【0074】[実施例9] 図15を用いて本実施例の説明を行う。本実施例は実施例7に加え、Q4"を付加した。水平走査期間中は、実施例7と同様に、Q4をON、Q4' とQ4"をOFFし、Q1トランジスタを横形オーバーフロードレインとして機能させた。読み出し時は、Q4をオフとして、Q4' とQ4"をオンとして切換え、MOSトランジスタQ3を導通してソースフォロワとして読み出しと、反転アンプ読み出しの2種類の読み出し方法を選択できるようにした。

【0075】具体的には、Q4をOFF、Q4'をON、Q4"をOFF、電源1701をVDDに設定し、実施例1同様にソースフォロワとしての読み出しを行った。

【0076】一方、Q4をOFF、Q4'をOFF、Q4"をON、電源1701をGNDとし、実施例4と同様にMOS型の反転アンプ読み出しを行った。選択スイッチがないため、Q3トランジスタが電源と信号出力線に対し、対称な配置となるため、線形性が高く、簡単な回路を付加するだけ多機能な読み出しが可能となる。具体的には、反転アンプ読み出しによる二乗加算読み出しや、ソースフォロワ読み出しによる、ボトム検出を行った。

【0077】本実施形態では、出力信号線にリセット電源電圧を供給するリセットスイッチQ4やMOSトランジスタQ3の負荷となってソースフォロワ方式で読み出す定電流源の負荷を課す負荷スイッチQ4' と電源VDDを供給する電源スイッチQ4"との読み出し方式の選択スイッチでMOSトランジスタが増加するよう見えるが、数万～数十万個の画素に比較すれば、専有面積の増加はごくわずかなので、選択スイッチの削除に比較すれば、画素の大きな開口率を確保でき、さらに、ノイズ信号を除去した光信号の読み出しに状況に応じて選択的に読み出しを可能とした。

画素部の信号増幅部の入力端子の動作点、具体的には入力端子のリセット電位を所定電位に変えることにより、読み出し画素の選択・非選択をおこなうことが可能であり、従来の読み出し選択用のスイッチを設ける必要がなくなり、以下のような効果が得られる。

【0079】画素に含まれるトランジスタ数を減らし、画素を縮小化することができる。また、選択スイッチを設けなくても、信号増幅部の線形性を広い電圧範囲で確保することができる。さらに、簡単な回路、具体的には信号出力線をリセットに一時的に設定するMOSトランジスタやソースフォロワ回路と反転アンプの設定の選択スイッチを付加することで、多機能な読み出しをおこなうことができる。

【図面の簡単な説明】

【図1】本発明の実施形態の1画素および、画素1列分の等価回路図である。

【図2】本発明の実施例1の1画素の等価回路図である。

【図3】本発明の実施例1の読み出し系も含めた等価回路図である。

【図4】本発明に用いたホトダイオードおよび信号転送部の断面構造図である。

【図5】本発明の実施例1の信号増幅部の特性である。

【図6】本発明の実施例に用いた画素トランジスタへのパルスタイミング図である。

【図7】本発明の実施例2の1画素の等価回路図である。

【図8】本発明の実施例2の読み出し系も含めた等価回路図である。

【図9】本発明の実施例4の読み出し系も含めた等価回路図である。

【図10】本発明の実施例5の読み出し系も含めた簡単な等価回路図である。

【図11】本発明の実施例6に用いた画素トランジスタへのパルスタイミング図である。

【図12】本発明の実施例7の読み出し系も含めた簡単な等価回路図である。

【図13】本発明の実施例7に用いた画素トランジスタ及び主要トランジスタへのパルスタイミング図である。

【図14】本発明の実施例8の1画素の等価回路図である。

【図15】本発明の実施例9の読み出し系も含めた簡単な等価回路図である。

【図16】従来技術の1画素の等価回路図である。

【図17】従来技術の読み出し系も含めた等価回路図である。

【符号の説明】

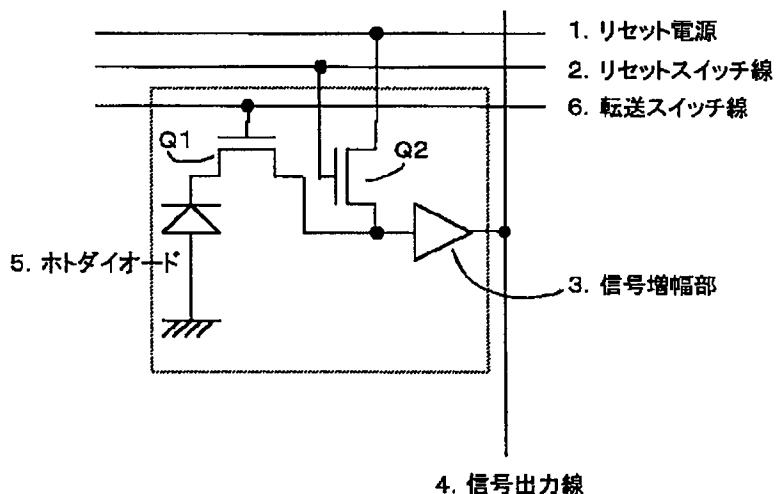
1. 501 リセット電源

4, 406 信号出力線
 5 ホトダイオード
 6, 505 転送スイッチ線
 7 信号出力線の出力端子
 8, 502 電源
 10, 513 出力アンプ
 13, 511 ノイズ出力
 14, 512 信号出力

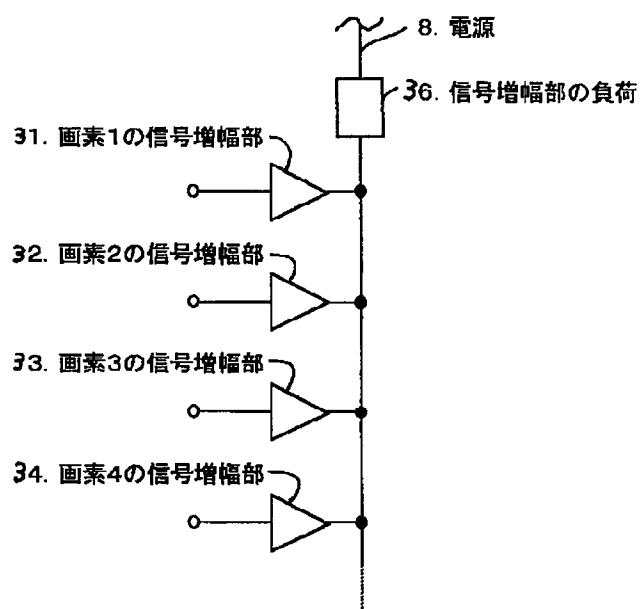
15, 506 信号蓄積部
 16, 507 水平シフトレジスタ
 18, 18' 共通信号線への転送スイッチ
 19, 19', 509, 510 共通信号線
 31, 32, 33, 34 画素の信号増幅部
 36 信号増幅部の負荷
 508 垂直シフトレジスタ

【図1】

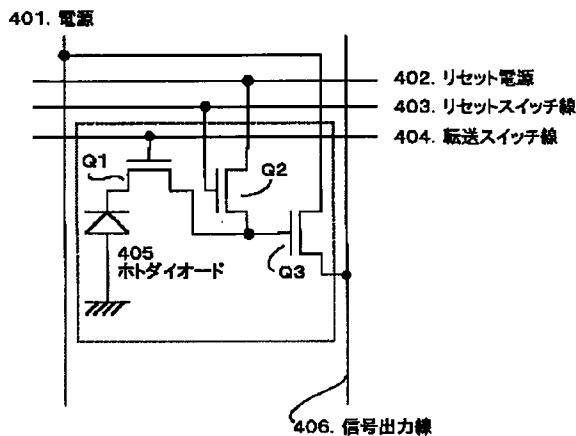
(a)



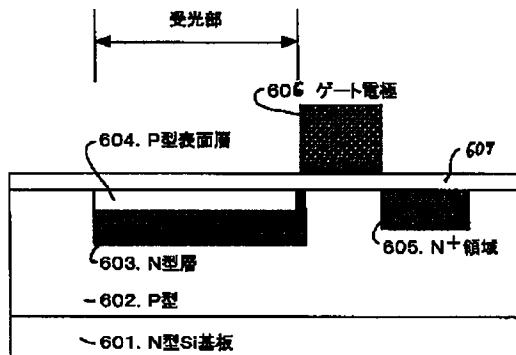
(b)



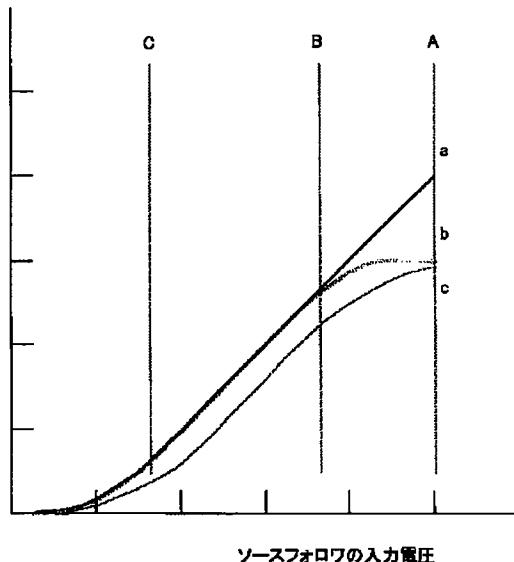
【図2】



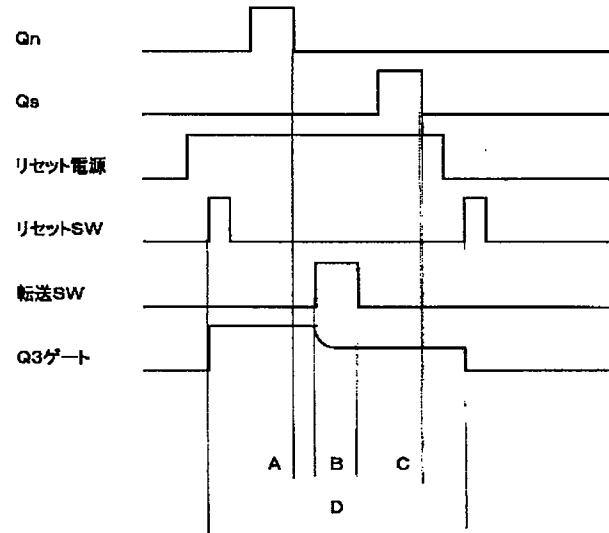
【図4】



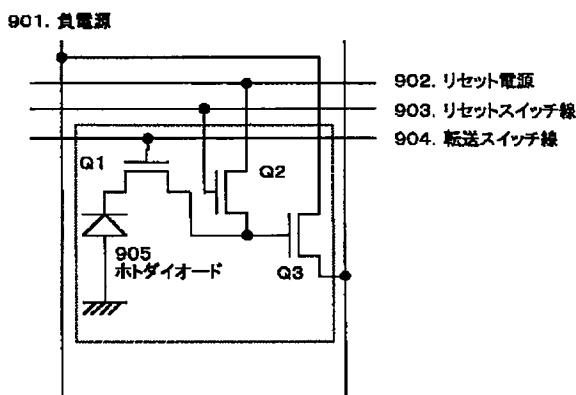
【図5】



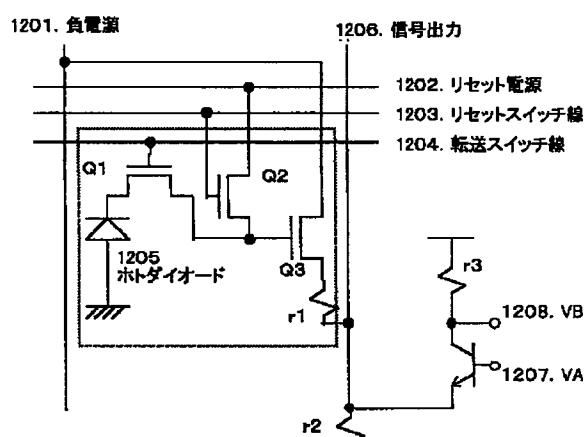
【図6】



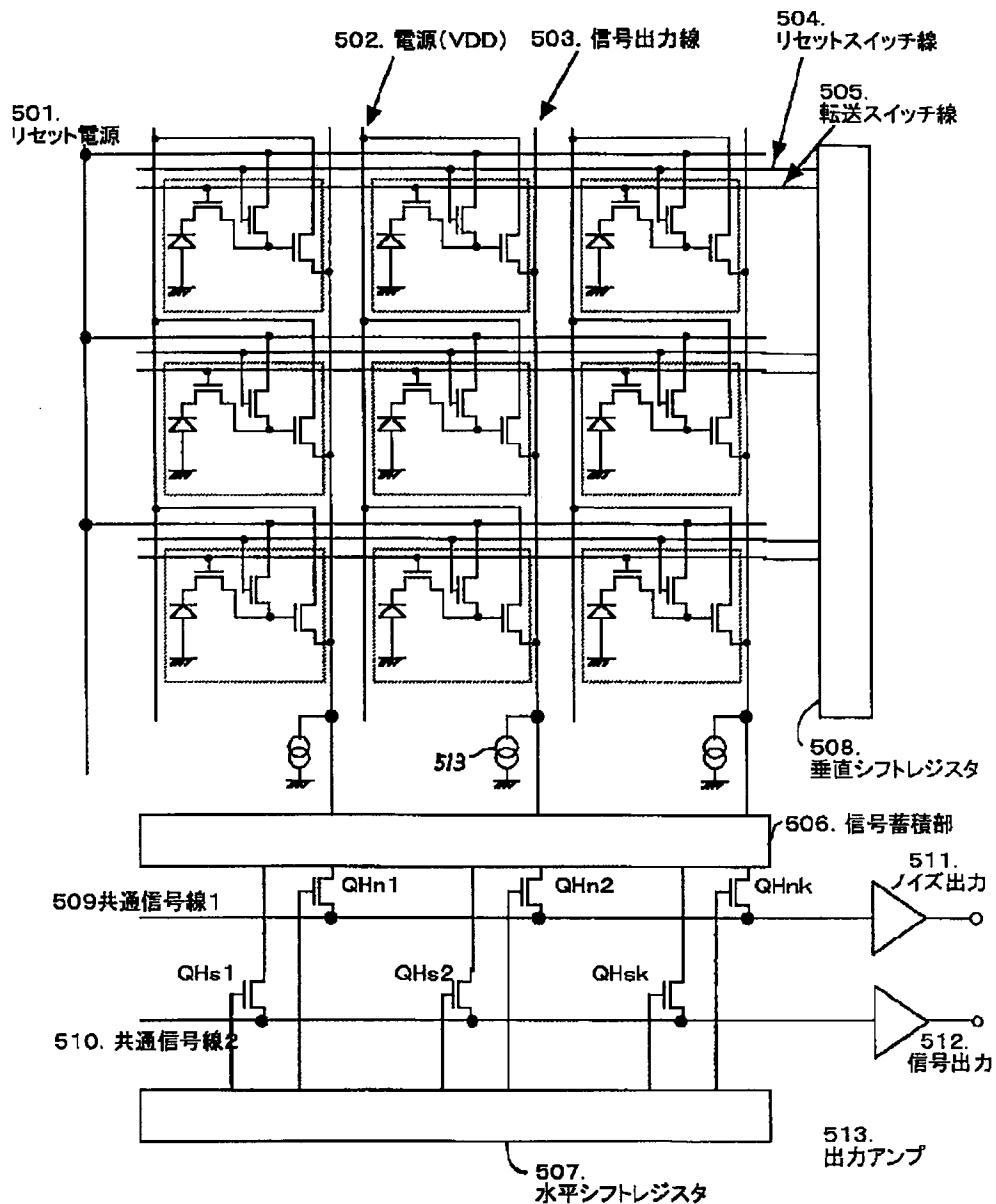
【図7】



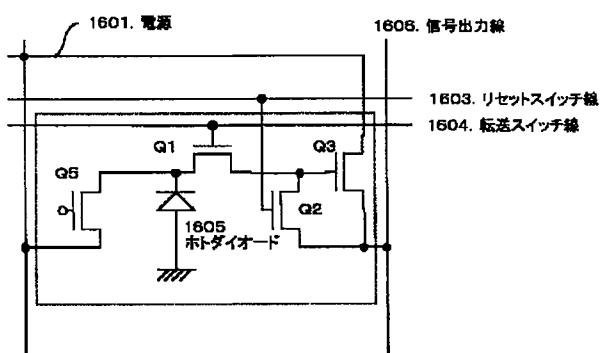
【図10】



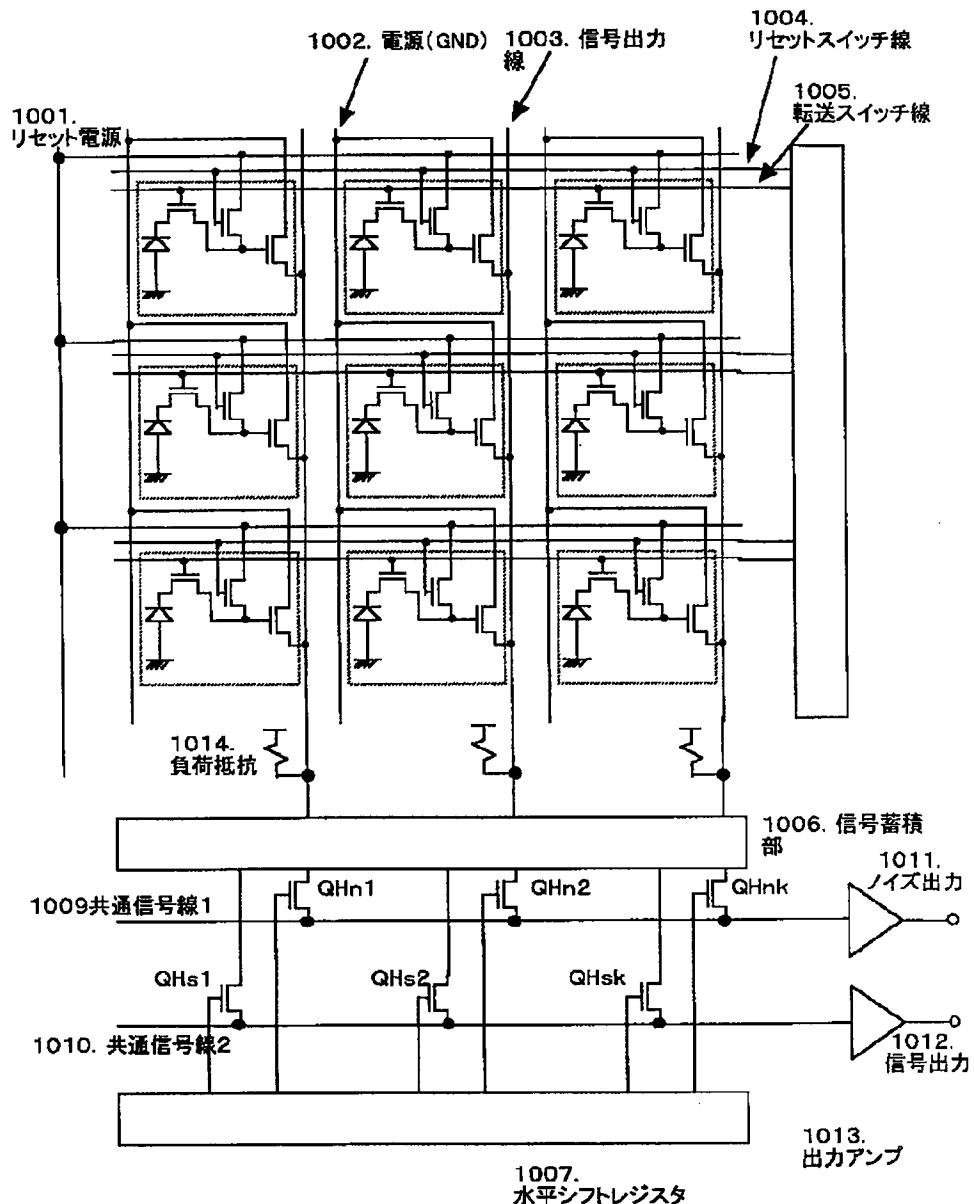
【図3】



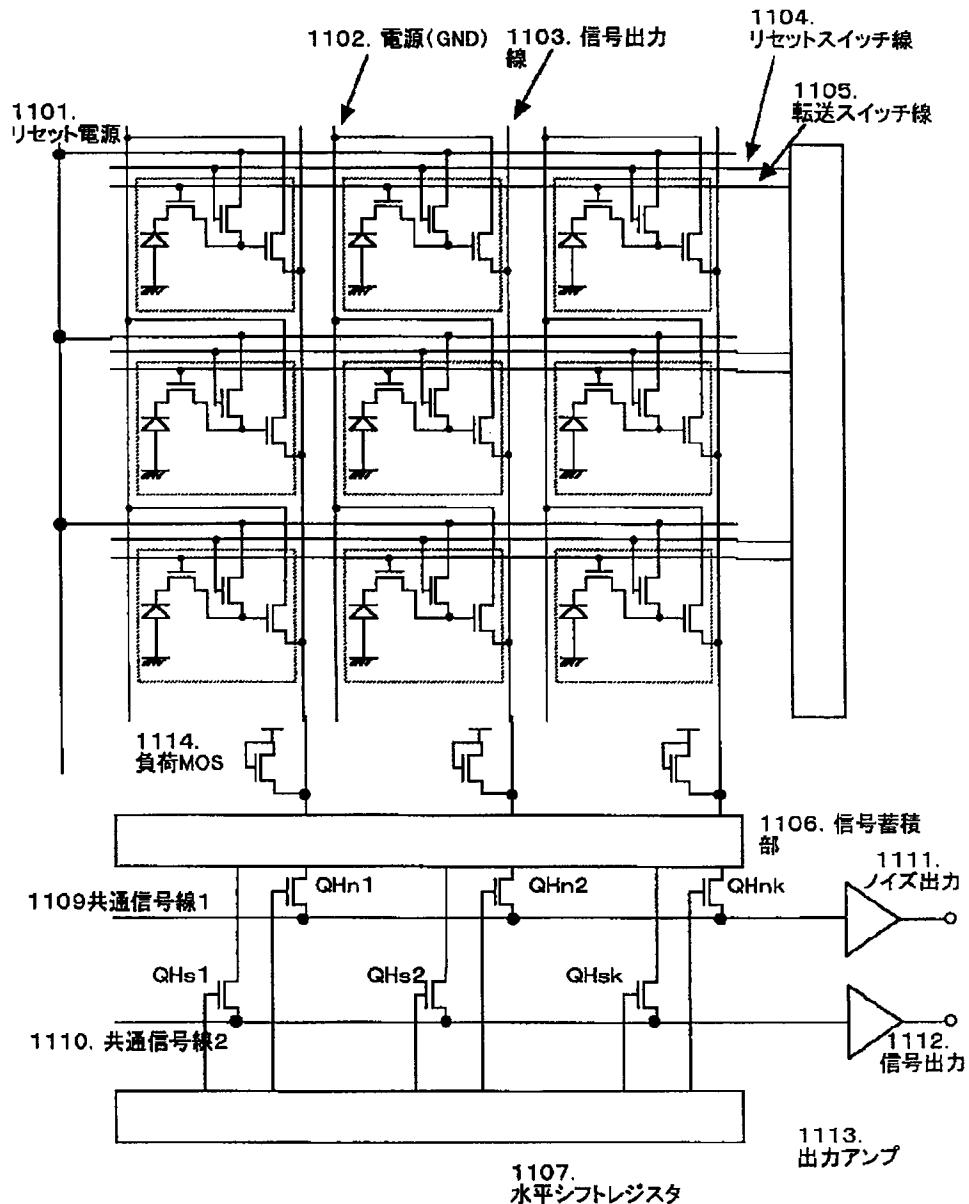
【図14】



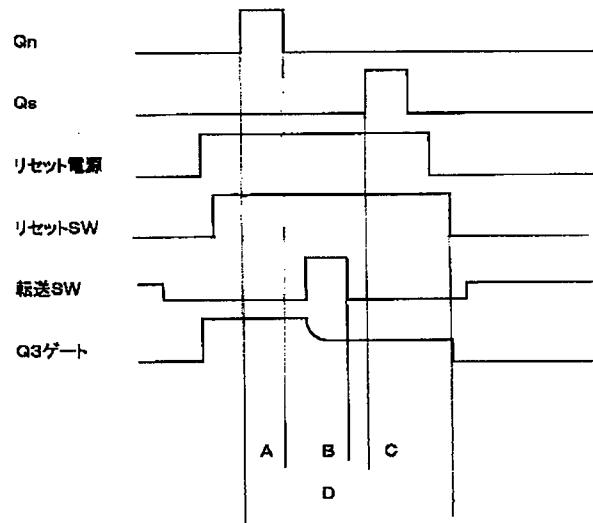
【図8】



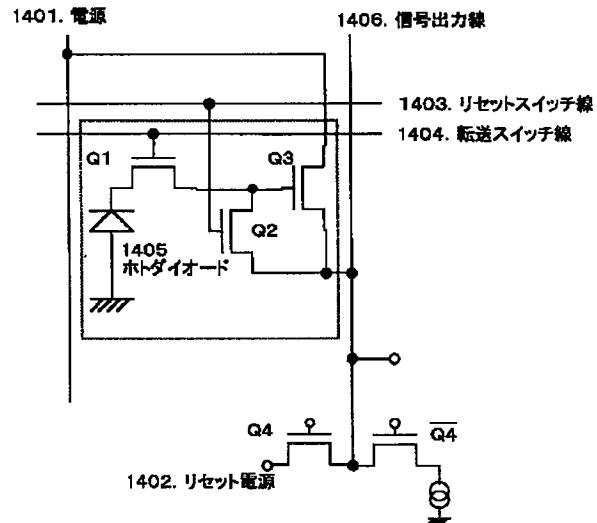
【図9】



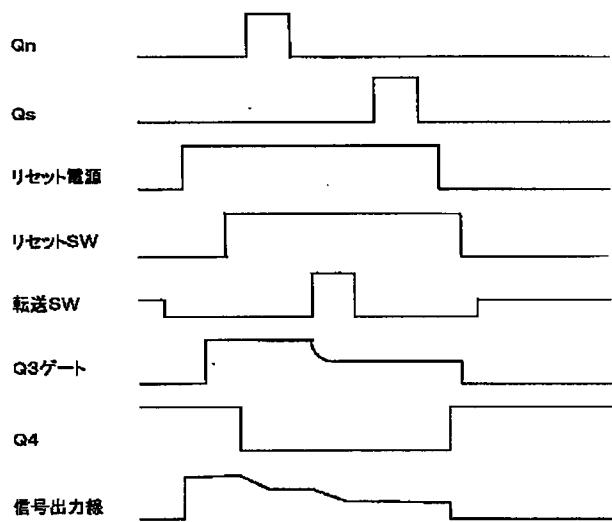
【図11】



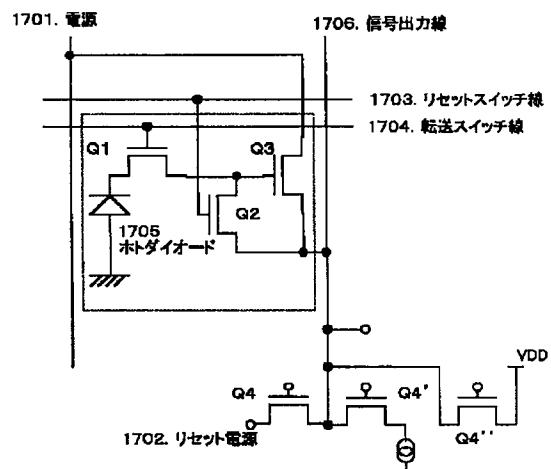
【図12】



【図13】

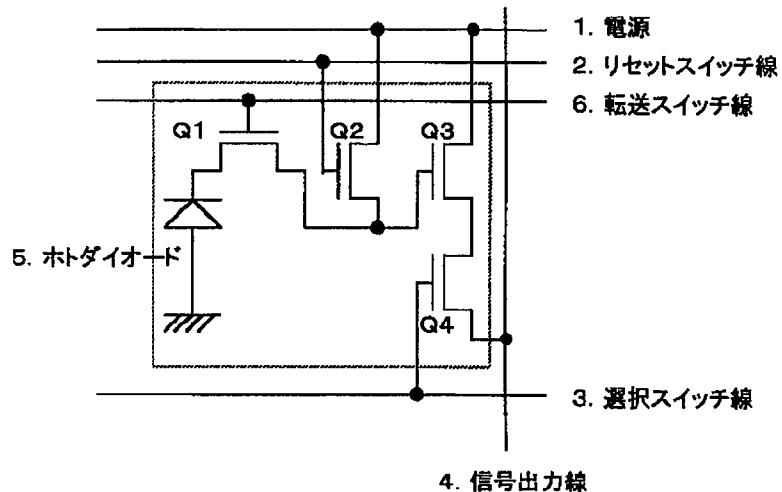


【図15】

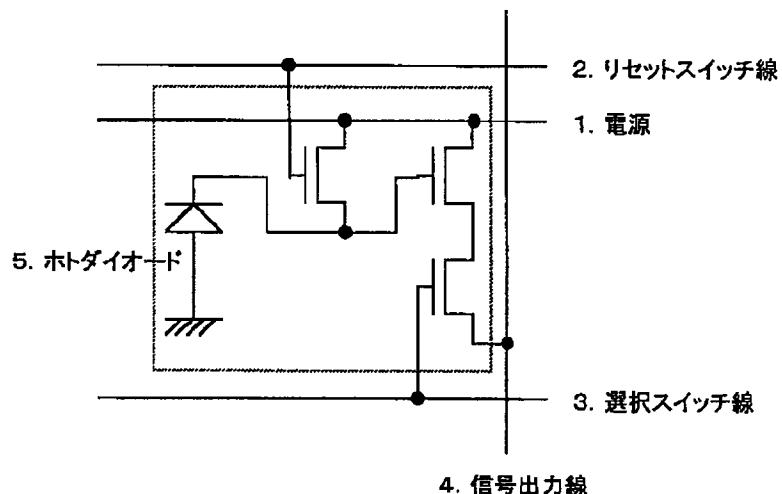


【図16】

(a)



(b)



【図17】

